

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-367996

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H01L 21/3205

H01L 21/304

H01L 21/768

(21)Application number : 2001-171812

(71)Applicant : NEC CORP

(22)Date of filing : 06.06.2001

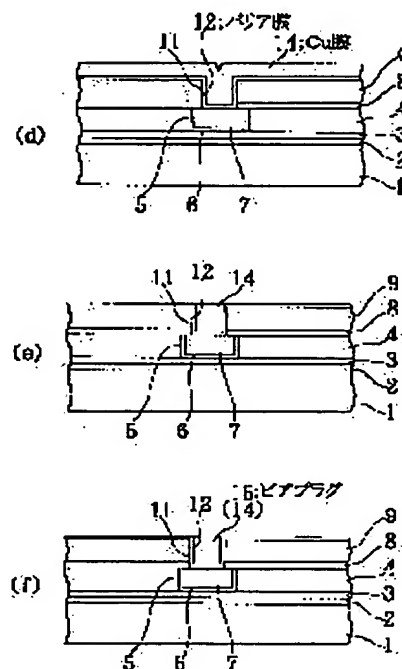
(72)Inventor : WAKE TOMOKO

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a throughput and uniformity in plane face and prevent a defective via chain opening of a via plug, by enlarging an abrasive rate of a barrier film when the via plug is formed in an interlayer insulating film for connecting an upper wiring and a lower wiring through a barrier film in a CMP method.

SOLUTION: In the manufacturing method of the semiconductor device, after a via hole 11 is formed in a second interlayer insulating film 9 that covers a lower wiring 7, a barrier film 12 made of Ta film and a Cu film 14 are formed all over. The unnecessary part of the Cu film 14 is removed with an abrasive solution with added hydrogen peroxide of 1.5 wt.% or larger in a CMP method (first abrasion step), and the unnecessary part of the barrier film 12 is removed with an abrasive solution with added hydrogen peroxide of 0.09 to 1.5 wt.% under pressure of 4 Psi to 10 Psi on the barrier film 12 in a CMP method (second abrasion step).



LEGAL STATUS

[Date of request for examination] 11.12.2003

[Date of sending the examiner's decision of rejection] 16.08.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-17848

[Date of requesting appeal against examiner's decision of rejection] 15.09.2005

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-367996
(P2002-367996A)

(43)公開日 平成14年12月20日 (2002. 12. 20)

(51)Int.Cl.	識別記号	F I	テマコード*(参考)
H 0 1 L 21/3205		H 0 1 L 21/304	6 2 1 D 5 F 0 3 3
21/304	6 2 1		6 2 2 D
	6 2 2		6 2 2 X
21/768		21/88	K
		21/90	A
		審査請求 未請求 請求項の数10	OL (全 13 頁)

(21)出願番号 特願2001-171812(P2001-171812)

(22)出願日 平成13年6月6日(2001. 6. 6)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 和氣 智子

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100099830

弁理士 西村 征生

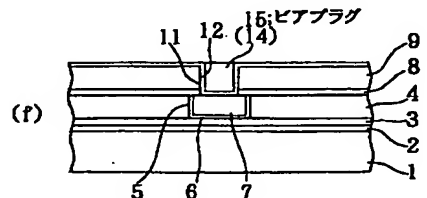
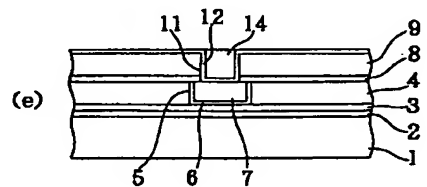
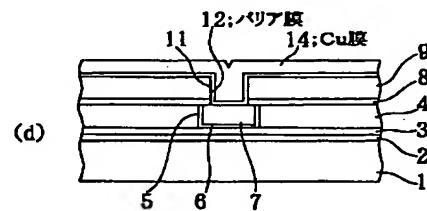
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【課題】 CMP法を利用して層間絶縁膜にバリア膜を通じて上層配線と下層配線とを接続するビアプラグを形成する場合、バリア膜の研磨レートを大きくすることによりスループットを向上させるとともに面均一性を改善し、さらにビアプラグのビアチェーンオープン不良を防止する。

【解決手段】 開示されている半導体装置の製造方法は、下層配線7を覆う第2の層間絶縁膜9にビアホール11を形成した後、全面にTa膜から成るバリア膜12及びCu膜14を順次に形成し、まずCu膜14の不要部を過酸化水素を1.5Wt%以上添加した研磨液を用いたCMP法により除去し(第1の研磨工程)、次に過酸化水素を0.09Wt%~1.5Wt%添加した研磨液を用い、バリア膜12に対して4Psi~10Psiの圧力を加える条件のCMP法によりバリア膜12の不要部を除去する(第2の研磨工程)。



1

【特許請求の範囲】

【請求項 1】 下層配線を覆う層間絶縁膜上に上層配線を形成し、前記層間絶縁膜に形成したビアホールにビアプラグを形成し、該ビアプラグを通じて前記下層配線と前記上層配線とを接続する半導体装置の製造方法であって、

前記層間絶縁膜に前記下層配線を露出させるように前記ビアホールを形成するビアホール形成工程と、

前記ビアホールを含む全面にバリア膜を形成するバリア膜形成工程と、

前記バリア膜上に導電膜を形成する導電膜形成工程と、前記バリア膜上の前記導電膜を該導電膜の研磨レートが前記バリア膜のそれよりも大きい研磨液を用いた化学的機械的研磨法により前記バリア膜が露出するまで研磨して除去する第 1 の研磨工程と、

前記導電膜の研磨レートが前記バリア膜のそれよりも小さい研磨液を用いた化学的機械的研磨法により前記層間絶縁膜上の前記バリア膜を除去して、前記ビアホール内のみに前記バリア膜を介して前記導電膜を残すことによりビアプラグを形成する第 2 の研磨工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 下層配線を覆う層間絶縁膜上に上層配線を形成し、前記層間絶縁膜に形成したビアホールにビアプラグを形成し、該ビアプラグを通じて前記下層配線と前記上層配線とを接続する半導体装置の製造方法であって、

前記層間絶縁膜に前記下層配線を露出させるように前記ビアホールを形成するビアホール形成工程と、

前記ビアホールを含む全面にバリア膜を形成するバリア膜形成工程と、

前記バリア膜上に導電膜を形成する導電膜形成工程と、前記バリア膜上の前記導電膜を過酸化水素を 1.5 Wt % 以上添加した研磨液を用いた化学的機械的研磨法により前記バリア膜が露出するまで研磨して除去する第 1 の研磨工程と、

過酸化水素を 0.09 Wt % ~ 1.5 Wt % 添加した研磨液を用いた化学的機械的研磨法により前記層間絶縁膜上の前記バリア膜を除去して、前記ビアホール内のみに前記バリア膜を介して前記導電膜を残すことによりビアプラグを形成する第 2 の研磨工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】 下層配線を覆う層間絶縁膜上に上層配線を形成し、前記層間絶縁膜に形成したビアホールにビアプラグを形成し、該ビアプラグを通じて前記下層配線と前記上層配線とを接続する半導体装置の製造方法であって、

前記層間絶縁膜に前記下層配線を露出させるように前記ビアホールを形成するビアホール形成工程と、

前記ビアホールを含む全面にバリア膜を形成するバリア膜形成工程と、

2

前記バリア膜上に導電膜を形成する導電膜形成工程と、前記バリア膜上の前記導電膜を過酸化水素を 1.5 Wt % 以上添加した研磨液を用いた化学的機械的研磨法により前記バリア膜が露出するまで研磨して除去する第 1 の研磨工程と、

過酸化水素を含まない研磨液を用いた化学的機械的研磨法により前記層間絶縁膜上の前記バリア膜を除去して、前記ビアホール内のみに前記バリア膜を介して前記導電膜を残すことによりビアプラグを形成する第 2 の研磨工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記第 2 の研磨工程を、前記層間絶縁膜上の前記バリア膜に対して 4 Psi ~ 10 Psi の圧力を加えた状態で行うことを特徴とする請求項 1、2 又は 3 記載の半導体装置の製造方法。

【請求項 5】 前記第 2 の研磨工程の後に、前記層間絶縁膜上に前記ビアプラグと接続するように上層配線を形成する上層配線形成工程を含むことを特徴とする請求項 1 乃至 4 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 6】 前記バリア膜としてタンタル系金属を用いる一方、前記導電膜として銅系金属を用いることを特徴とする請求項 1 乃至 5 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 7】 前記下層配線及び前記上層配線として銅系金属を用いることを特徴とする請求項 1 乃至 6 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 8】 半導体基板の表面を覆う絶縁膜に配線用溝を形成した後、該配線用溝を含む全面にバリア膜及び導電膜を順次に形成し、前記配線用溝の表面より上部に露出されている前記導電膜及び前記バリア膜を順次に化学的機械的研磨法により研磨して埋め込み配線を形成する半導体装置の製造方法であって、

前記配線用溝の表面より上部に露出されている前記導電膜を研磨して除去する第 1 の化学的機械的研磨工程と、過酸化水素を 0.09 Wt % ~ 1.5 Wt % 添加した研磨液を用いて、前記配線用溝の表面より上部に露出されている前記バリア膜を研磨して除去し、前記配線用溝内のみに前記バリア膜を介して前記導電膜を残すことにより埋め込み配線を形成する第 2 の化学的機械的研磨工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 9】 前記第 2 の化学的機械的研磨工程を、前記配線用溝の表面より上部に露出されている前記バリア膜に対して 4 Psi ~ 10 Psi の圧力を加えた状態で行うことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】 前記バリア膜としてタンタル系金属を用いる一方、前記導電膜として銅系金属を用いることを特徴とする請求項 8 又は 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

3

【発明の属する技術分野】この発明は、半導体装置の製造方法に係り、詳しくは、CMP (Chemical Mechanical Polishing: 化学的機械的研磨) 法を利用して、上層配線と下層配線とを接続するビアプラグを層間絶縁膜に2段階の研磨工程で形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の代表として知られているマイクロプロセッサやメモリ等のLSI (大規模集積回路) は、集積度の向上につれて個々の素子の寸法は益々微細化されてきており、これに伴って各素子を構成する半導体領域の寸法も微細化されてきている。また、各半導体領域に対して配線を形成する場合、配線を平面方向に形成するだけでは高い配線密度が確保できないので、配線を半導体基板の厚さ方向に多層にわたって形成するようにした多層配線技術が発展してきている。

【0003】このようなLSIにおいては、配線の抵抗値が動作速度等の特性に大きな影響を与えるので、低い抵抗値の配線が望まれている。従来からLSIを含めた半導体装置の配線材料として、電気的特性、加工性等の点で優れているアルミニウム (Al) 又はAlを主成分とするAl系金属が一般に用いられている。しかしながら、このAl系金属は、エレクトロマイグレーション耐性、ストレスマイグレーション耐性等に弱いという欠点がある。このため、Al系金属に代ってこれよりも抵抗値が小さくて、エレクトロマイグレーション耐性、ストレスマイグレーション耐性等に優れている銅 (Cu) 又はCuを主成分とするCu系金属が用いられる傾向にある。

【0004】ところで、Cu系金属を成膜した後所望の形状にパターンニングして配線を形成する場合、このCu系金属膜は化学的に安定した特徴を有しているため、Al系金属膜のようにエッチング技術を利用してパターンニングするのが困難である。このためCu系金属を用いて配線を形成する場合は、半導体基板上に形成した層間絶縁膜に予め配線用溝を形成した上で、この配線用溝を含む全面にCu系金属膜を形成した後、CMP法により層間絶縁膜上の不要なCu系金属膜をCMP法により除去して、配線用溝内のみに残した (埋め込んだ) Cu系金属膜を配線とするようにした、いわゆるダマシン (Damascene) 配線技術が採用されている。

【0005】上述したダマシン配線技術により形成された多層配線構造を有する半導体装置が例えば特開2000-277612号公報に開示されている。同半導体装置は、図11に示すように、半導体基板51上にシリコン酸化膜 (SiO₂) 等の絶縁膜52及びシリコン窒化膜 (SiN) 等のエッチングストップ膜53を介してシリコン酸化膜等の第1の層間絶縁膜54が形成され、この第1の層間絶縁膜54の配線用溝55にはバリア膜56を介して埋め込まれたCu膜から成る下層配線57

4

(第1層目配線) が形成されている。また、第1の層間絶縁膜54上にはエッチングストップ膜58を介して第2の層間絶縁膜60が形成され、この第2の層間絶縁膜60の配線用溝 (この場合はビアホール: Via-hole) 59にはバリア膜61を介してCu膜から成る導電性プラグ (ビアプラグ) 63が形成されている。さらに、第2の層間絶縁膜60上にはバリア膜64を介してCu膜から成る上層配線65 (第2層目配線) が形成されている。ここで、バリア金属膜56、64等はCuが下方に拡散するのを防止するための拡散防止膜として作用している。

【0006】このように、図11の従来の半導体装置は、Cu膜から成る下層配線57を覆う第2の層間絶縁膜60のビアホール59にはCu膜から成るビアプラグ63がダマシン配線技術により形成されて、ビアプラグ63は下層配線57と上層配線65とを接続している。この従来例では、下層配線 (第1層目配線) 57と上層配線 (第2層目配線) 65との2層の配線間をビアプラグ63で接続する例を示しているが、さらに第3層目以降の配線を形成して、上下位置関係にある両配線間をビアプラグで接続することも行われている。LSIにおいて典型的なマイクロプロセッサの例では、8~9層にも及ぶ多層配線構造が実現されている。

【0007】上述したようなダマシン配線技術による多層配線構造を有する半導体装置の製造方法として、CMP法を利用した次に示すような製造方法が行われている。以下、図12を参照して工程順に説明する。まず、図12(a)に示すように、表面にシリコン酸化膜等の絶縁膜52及びシリコン窒化膜等のエッチングストップ膜53を介してシリコン酸化膜等の第1の層間絶縁膜54を形成したシリコン等の半導体基板51を用意する。次に、周知のフォトリソグラフィ技術を利用して、エッチングにより第1の層間絶縁膜54に配線用溝55を形成した後、この配線用溝55内にタンタル (Ta) から成るバリア膜56を介してCu膜を埋め込んで下層配線57を形成する。この下層配線57を形成するには、第1の層間絶縁膜54に予め配線用溝55を形成した後配線用溝55を含む全面にTa膜及びCu膜を順次に形成した後、まず第1の層間絶縁膜54上の不要なCu膜をCMP法によりTa膜が露出するまで除去し、次に同様なCMP法により第1の層間絶縁膜54上の不要なTa膜を除去して、配線用溝内55のみにバリア膜56を介してCu膜を残すようにする。

【0008】次に、図12(b)に示すように、全面にシリコン窒化膜から成るエッチングストップ膜58を介してシリコン酸化膜から成る第2の層間絶縁膜60を形成した後、ビアホールを形成すべき領域以外の第2の層間絶縁膜60上にフォトレジスト膜67を形成する。

【0009】次に、図12(c)に示すように、フォトレジスト膜67をマスクとして、第2の層間絶縁膜60

5

及びエッチングストップ膜 58 を順次にエッチングして、下層配線 57 を露出するビアホール 59 を形成する。

【0010】次に、図 13 (d) に示すように、フォトリソ膜 67 を除去した後、ビアホール 59 を含む全面にスパッタ法により Ta 膜から成るバリア膜 61 を形成した後、めっき法により全面に Cu 膜 70 を形成する。なお、実際には予めバリア膜 61 上に薄い Cu 膜から成るめっき用シード膜をスパッタ法により形成した後に、このめっき用シード膜に対して Cu めっきが行われ

る。

【0011】次に、図 13 (e) に示すように、第 2 の層間絶縁膜 60 にビアプラグを形成するため、まず第 2 の層間絶縁膜 60 上の不要な Cu 膜 70 を CMP 法によりバリア膜 61 が露出するまで除去する (第 1 の研磨工程)。この第 1 の研磨工程における CMP 法では、バリア膜 61 に対して Cu 膜 70 の研磨レートの大きい条件で行う。

【0012】次に、図 13 (f) に示すように、第 2 の層間絶縁膜 60 上のバリア膜 61 を CMP 法により除去して、ビアホール 59 内のみに Cu 膜 70 を残してビアプラグ 63 を形成する (第 2 の研磨工程)。この第 2 の研磨工程における CMP 法では、従来では、特に酸化剤である過酸化水素 (H_2O_2) を略 1.5 Wt (重量) % 以上添加した研磨液を用いる条件で行っていた。また、この CMP 法ではバリア膜 61 に対して略 4 Psi (Pound Square Inch) 以下の圧力を加える条件で行っていた。従来では、上記のように過酸化水素の添加量 (濃度) を設定することにより、CMP 時にバリア膜 61 に対する摩擦が低減されるので好ましいとされていた。また、上記のように圧力を設定することにより、バリア膜 61 の研磨が緩やかに行われるので好ましいとされていた。次に、第 2 の層間絶縁膜 60 上にバリア膜 64 を介して Cu 膜から成る上層配線 65 (第 2 層目配線) を形成することにより、図 11 に示したよう多層配線構造を有する半導体装置を完成させる。

【0013】

【発明が解決しようとする課題】ところで、従来の半導体装置の製造方法では、CMP 法を利用してビアプラグを形成する第 2 の研磨工程で次に説明するような問題がある。まず、上記半導体装置の製造方法では、下層配線 57 と上層配線 65 とを接続するビアプラグ 63 を形成するための第 2 の研磨工程において、CMP に用いる研磨液として上記したように過酸化水素を略 1.5 Wt % 以上添加した研磨液を用いているので、バリア膜 61 の研磨に時間がかかるという問題がある。すなわち、上記のような研磨液を用いて CMP を行う場合、前述したようにバリア膜 61 に対する摩擦が低減されるのでバリア膜 61 の研磨を均一に行えるという利点がある反面、バ

6

リア膜 61 の研磨レートが小さくなるため研磨に時間がかかることになるので、スループットが低下する。

【0014】次に、従来の半導体装置の製造方法では、下層配線 57 と上層配線 65 とを接続するビアプラグ 63 を形成するための第 2 の研磨工程において、バリア膜 61 の CMP を行う場合、第 2 の層間絶縁膜 60 上のバリア膜 61 に対して略 4 Psi 以下の圧力を加えた状態で行うので、段差の激しい半導体基板の周縁部においてバリア膜残りが発生して、面均一性が悪くなるという問題がある。すなわち、図 14 に示すように、一般に半導体基板 51 上に絶縁膜あるいは導体膜を繰り返し積層する場合には、図 15 に示すように、特に半導体基板 51 の周縁部 51A において段差の形成が避けられない。したがって、上述のように緩やかに研磨が行われるように略 4 Psi 以下に圧力を設定すると、バリア膜 61 の研磨レートが小さくなるので、その周縁部 51A に形成されたバリア膜 61 は CMP を行っても除去されずに残ることが多くなって、面内均一性が悪くなる。このようにバリア膜が残ると、後工程において例えばエッチングストップ膜等の他の絶縁膜を第 2 の層間絶縁膜 60 上に形成した場合に、バリア膜の存在により第 2 の層間絶縁膜 60 と他の絶縁膜の密着性が悪くなるので、膜剥がれが発生し易くなる。

【0015】また、従来の半導体装置の製造方法では、下層配線 57 と上層配線 65 とを接続するビアプラグ 63 を形成するための第 2 の研磨工程において、バリア膜 61 の CMP を行う場合、ビアプラグにリセスが形成されるので、ピアチェーンオープン不良が発生するという問題がある。すなわち、図 16 (a) に示したような、半導体基板 51 上に形成する下層配線あるいは上層配線等の配線 73 の密度に比べて、ビアプラグ 63 の密度は図 16 (b) に示したように、略 1 桁以上小さくなっている。したがって、ビアプラグ形成時に孤立したビアプラグ 63 には、CMP の研磨液がビアプラグ 63 の露出部に集中するようになるため、図 17 に示すように、ビアプラグ 63 が集中的にエッチングされる結果、リセス 69 が形成されるようになる。それゆえ、ビアプラグ 63 が上層配線と接続されないようになるので、上下配線間が導通しなくなってオープン状態となる。また、研磨液に含まれる砥粒がリセス 69 に詰まって、同様に上下配線間が接続不良となってオープン状態となる。

【0016】この発明は、上述の事情に鑑みてなされたもので、CMP 法を利用して層間絶縁膜にバリア膜を通じて上層配線と下層配線とを接続するビアプラグを形成する場合、バリア膜の研磨レートを大きくすることによりスループットを向上させるとともに面均一性を改善し、さらにビアプラグのピアチェーンオープン不良の防止することができるようにした半導体装置の製造方法を提供することを目的としている。

【0017】

7

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、下層配線を覆う層間絶縁膜上に上層配線を形成し、上記層間絶縁膜に形成したビアホールにビアプラグを形成し、該ビアプラグを通じて上記下層配線と上記上層配線とを接続する半導体装置の製造方法であって、上記層間絶縁膜に上記下層配線を露出させるように上記ビアホールを形成するビアホール形成工程と、上記ビアホールを含む全面にバリア膜を形成するバリア膜形成工程と、上記バリア膜上に導電膜を形成する導電膜形成工程と、上記バリア膜上の上記導電膜を該導電膜の研磨レートが上記バリア膜のそれよりも大きい研磨液を用いた化学的機械的研磨法により上記バリア膜が露出するまで研磨して除去する第1の研磨工程と、上記導電膜の研磨レートが上記バリア膜のそれよりも小さい研磨液を用いた化学的機械的研磨法により上記層間絶縁膜上の上記バリア膜を除去して、上記ビアホール内のみに上記バリア膜を介して上記導電膜を残すことによりビアプラグを形成する第2の研磨工程とを含むことを特徴としている。

【0018】また、請求項2記載の発明は、下層配線を覆う層間絶縁膜上に上層配線を形成し、上記層間絶縁膜に形成したビアホールにビアプラグを形成し、該ビアプラグを通じて上記下層配線と上記上層配線とを接続する半導体装置の製造方法であって、上記層間絶縁膜に上記下層配線を露出させるように上記ビアホールを形成するビアホール形成工程と、上記ビアホールを含む全面にバリア膜を形成するバリア膜形成工程と、上記バリア膜上に導電膜を形成する導電膜形成工程と、上記バリア膜上の上記導電膜を過酸化水素を1.5Wt%以上添加した研磨液を用いた化学的機械的研磨法により上記バリア膜が露出するまで研磨して除去する第1の研磨工程と、過酸化水素を0.09Wt%～1.5Wt%添加した研磨液を用いた化学的機械的研磨法により上記層間絶縁膜上の上記バリア膜を除去して、上記ビアホール内のみに上記バリア膜を介して上記導電膜を残すことによりビアプラグを形成する第2の研磨工程とを含むことを特徴としている。

【0019】また、請求項3記載の発明は、下層配線を覆う層間絶縁膜上に上層配線を形成し、上記層間絶縁膜に形成したビアホールにビアプラグを形成し、該ビアプラグを通じて上記下層配線と上記上層配線とを接続する半導体装置の製造方法であって、上記層間絶縁膜に上記下層配線を露出させるように上記ビアホールを形成するビアホール形成工程と、上記ビアホールを含む全面にバリア膜を形成するバリア膜形成工程と、上記バリア膜上に導電膜を形成する導電膜形成工程と、上記バリア膜上の上記導電膜を過酸化水素を1.5Wt%以上添加した研磨液を用いた化学的機械的研磨法により上記バリア膜が露出するまで研磨して除去する第1の研磨工程と、過酸化水素を含まない研磨液を用いた化学的機械的研磨法

8

により上記層間絶縁膜上の上記バリア膜を除去して、上記ビアホール内のみに上記バリア膜を介して上記導電膜を残すことによりビアプラグを形成する第2の研磨工程とを含むことを特徴としている。

【0020】また、請求項4記載の発明は、請求項1、2又は3記載の半導体装置の製造方法に係り、上記第2の研磨工程を、上記層間絶縁膜上の上記バリア膜に対して4Psi～10Psiの圧力を加えた状態で行うことを特徴としている。

【0021】また、請求項5記載の発明は、請求項1乃至4のいずれか1に記載の半導体装置の製造方法に係り、上記第2の研磨工程の後に、上記層間絶縁膜上に上記ビアプラグと接続するように上層配線を形成する上層配線形成工程を含むことを特徴としている。

【0022】また、請求項6記載の発明は、請求項1乃至5のいずれか1に記載の半導体装置の製造方法に係り、上記バリア膜としてタンタル系金属を用いる一方、上記導電膜として銅系金属を用いることを特徴としている。

【0023】また、請求項7記載の発明は、請求項1乃至6のいずれか1に記載の半導体装置の製造方法に係り、上記下層配線及び上記上層配線として銅系金属を用いることを特徴としている。

【0024】また、請求項8記載の発明は、半導体基板の表面を覆う絶縁膜に配線用溝を形成した後、該配線用溝を含む全面にバリア膜及び導電膜を順次に形成し、上記配線用溝の表面より上部に露出されている上記導電膜及び上記バリア膜を順次に化学的機械的研磨法により研磨して埋め込み配線を形成する半導体装置の製造方法であって、上記配線用溝の表面より上部に露出されている上記導電膜を研磨して除去する第1の化学的機械的研磨工程と、過酸化水素を0.09Wt%～1.5Wt%添加した研磨液を用いて、上記配線用溝の表面より上部に露出されている上記バリア膜を研磨して除去し、上記配線用溝内のみに上記バリア膜を介して上記導電膜を残すことにより埋め込み配線を形成する第2の化学的機械的研磨工程とを含むことを特徴としている。

【0025】また、請求項9記載の発明は、請求項8記載の半導体装置の製造方法に係り、上記第2の化学的機械的研磨工程を、上記配線用溝の表面より上部に露出されている上記バリア膜に対して4Psi～10Psiの圧力を加えた状態で行うことを特徴としている。

【0026】また、請求項10記載の発明は、請求項8又は9記載の半導体装置の製造方法に係り、上記バリア膜としてタンタル系金属を用いる一方、上記導電膜として銅系金属を用いることを特徴としている。

【0027】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的にを行う。

◇第1実施例

図1及び図2は、この発明の第1実施例である半導体装置の製造方法を工程順に示す工程図、図3は同半導体装置の製造方法により製造された半導体装置を示す断面図、図4及び図8は同半導体装置の製造方法に用いられるCMP装置の概略構成を示す断面図、図5は同半導体装置の製造方法に用いられる研磨液の過酸化水素濃度（横軸）とTa研磨レート（縦軸）との関係を示す図、図6は同半導体装置の製造方法においてバリア膜に加える圧力（横軸）とTa研磨レート（縦軸）との関係を示す図、図7は同半導体装置の製造方法においてバリア膜に加える圧力（横軸）と面内ばらつき度合（縦軸）との関係を示す図である。以下、図1及び図2を参照して、同半導体装置の製造方法について工程順に説明する。まず、図1(a)に示すように、表面にシリコン酸化膜等の絶縁膜2及びシリコン窒化膜等のエッチングストップ膜3を介してシリコン酸化膜等の第1の層間絶縁膜4を形成したシリコン等の半導体基板1を用意する。次に、周知のフォトリソグラフィ技術を利用して、エッチングにより第1の層間絶縁膜4に配線用溝5を形成した後、この配線用溝5内にTa膜から成るバリア膜6を介してCu膜を埋め込んで下層配線7を形成する。この下層配線7を形成するには、第1の層間絶縁膜4に予め配線用溝5を形成した後、配線用溝5を含む全面にTa膜及びCu膜をスパッタ法等により順次に形成した後、まず第1の層間絶縁膜4上の不要なCu膜をCMP法によりTa膜が露出するまで除去し、次に同様なCMP法により第1の層間絶縁膜4上の不要なTa膜を除去して、配線用溝内5のみにTa膜から成るバリア膜6を介してCu膜を残すようにする。

【0028】次に、図1(b)に示すように、CVD (Chemical Vapor Deposition) 法により全面にシリコン窒化膜から成る膜厚が45～55nmのエッチングストップ膜8を介してシリコン酸化膜から成る膜厚が300～400nmの第2の層間絶縁膜9を形成した後、ビアホールを形成すべき領域以外の第2の層間絶縁膜9上にフォトレジスト膜10を形成する。

【0029】次に、図1(c)に示すように、フォトレジスト膜10をマスクとして、第2の層間絶縁膜9及びエッチングストップ膜8を順次にドライエッチングして、Cu膜から成る下層配線7を露出するビアホール11を形成する。このビアホール11の形成は、まずフォトレジスト膜7をマスクとしてエッチングストップ膜8に対して第2の層間絶縁膜9の選択比の大きいドライエッチング条件で第2の層間絶縁膜9のみをドライエッチングしてエッチングストップ膜8を露出させた後、次にフォトレジスト膜10を除去して第2の層間絶縁膜9をマスクとして第2の層間絶縁膜9に対してエッチングストップ膜8の選択比の大きいドライエッチング条件でエッチングストップ膜8のみをドライエッチングして形成

する。

【0030】次に、図2(d)に示すように、ビアホール11を含む全面にスパッタ法によりTa膜から成る膜厚が5～10nmのバリア膜12を形成した後、全面にスパッタ法によりCu膜から成る膜厚が80～100nmのめっき用シード膜（図示せず）を形成し、次に、めっき用シード膜をめっき用電極として用いて、全面に膜厚が250～350nmのCu膜14を電気めっき法により形成する。次に、基板1を窒素のような不活性雰囲気中で、250～400℃で25～30分間アニール処理を施して、Cu膜14の結晶性を安定化させる。

【0031】次に、図2(e)に示すように、第2の層間絶縁膜9にビアプラグを形成するため、まず第2の層間絶縁膜9上のバリア膜12上の不要なCu膜14をCMP法により研磨して除去する（第1の研磨工程）。この第1の研磨工程では、Cu膜14の研磨レートがバリア膜12のそれよりも大きくなるCMP条件で行う。具体的には、図5に示すような特性を有する研磨液を用いる。図5で、AはTaから成るバリア膜12の特性、BはCu膜14の特性を示している。不要なCu膜14の研磨は下地のバリア膜12が露出された時点で停止される。この研磨の進行状況は、例えば光学的にCu膜14の光反射率をモニタすることにより検出して、Ta膜から成るバリア膜12が露出した時点で光反射率が変化するので研磨を停止するようにする。

【0032】図5は、上述の第1の研磨工程及び後述する第2の研磨工程で用いる研磨液の過酸化水素濃度（横軸）とTa研磨レート（左縦軸）及びCu研磨レート（右縦軸）との関係を示す図である。この例では、バリア膜12に対する圧力を3Psiに設定した特性を示している。図5から明らかなように、過酸化水素濃度の減少に応じてTa研磨レートは大きくなる一方、Cu研磨レートは小さくなる。研磨液の過酸化水素以外の成分としては、例えばクエン酸（有機酸としてのカルボン酸の一種）、シリカ砥粒、BTA（ベンゾトリアゾール：酸化防止剤）、水等が含有されている。このように酸化剤として過酸化水素が添加されている研磨液では、研磨レートは過酸化水素の添加量（濃度）が支配的となり、過酸化水素の濃度を増加することによりCu膜14の研磨レートをバリア膜12のそれよりも大きくすることができ。ここで、第1の研磨工程では、Cu膜14の研磨レートは略800オングストローム／分以上が必要となる。したがって、第1の研磨工程では、過酸化水素を1.5Wt%以上添加した研磨液を用いる。

【0033】図4は、上述の第1の研磨工程に用いられる第1のCMP装置の一例の構成を概略的に示す断面図である。この第1のCMP装置20には、表面に研磨パッド22が取り付けられた研磨定盤21が設けられ、研磨パッド22に半導体基板1の研磨面であるCu膜14の表面が接触されて、研磨定盤21は回転軸23により

11

回転駆動されるように構成されている。ノズル24からは上述したようにバリア膜12に対してCu膜14の研磨レートが大きくなるように調整された研磨液38が供給される。一方、研磨定盤21の上方には、研磨すべき半導体基板1を保持して押圧するための第1の加圧ユニット25が設けられ、金属ヘッド26及びリテーナ27により形成される空間内に備えられたエアバッグ28により半導体基板1の裏面が押圧されて、加圧ユニット25は回転軸29により回転駆動されるように構成されている。エアバッグ28は弾性変形の大きい弾性体として作用して、半導体基板1を裏面から研磨定盤21の研磨パッド22に押圧している。

【0034】続いて、図2(f)に示すように、第2の層間絶縁膜9にビアプラグ15を形成するため、次に第2の層間絶縁膜9上に露出された不要なバリア膜12をCMP法により研磨して除去する(第2の研磨工程)。この第2の研磨工程では、第1の研磨工程とは逆に、バリア膜12の研磨レートがCu膜14のそれよりも大きくなるCMP条件で行う。

【0035】具体的には、第2の研磨工程は、図5に示すような特性を有する研磨液を用いて、特に酸化剤である過酸化水素を0.09Wt%~1.5Wt%添加した範囲で行う。前述したように酸化剤として過酸化水素が添加されている研磨液では、研磨レートは過酸化水素の添加量(濃度)が支配的となり、過酸化水素の濃度を減少することによりバリア膜12の研磨レートをCu膜14のそれよりも大きくすることができる。ここで、第2の研磨工程では、バリア膜12の研磨レートは略500オングストローム/分以上が必要となる。したがって、第2の研磨工程では、上述したように、過酸化水素を0.09Wt%~1.5Wt%添加した研磨液を用いる。ここで、過酸化水素を添加する場合は、過酸化水素が0.09Wt%以下の範囲では過酸化水素濃度を制御性良く添加するのが困難なので、上述したように0.09Wt%~1.5Wt%の範囲で過酸化水素が添加されている研磨液を用いる。

【0036】また、この第2の研磨工程では、CMP時に第2の層間絶縁膜9上のバリア膜12に対して4Psi~10Psiの圧力を加えた状態で行うようにする。このように特定範囲の圧力をバリア膜12に加えてバリア膜12のCMPを行うことにより、Cu膜に対してよりもバリア膜に対して敏感に研磨レートを大きくすることができるので、段差の激しい半導体基板の周縁部においてもバリア膜残りを解消できるようになり、面均一性を向上することができる。バリア膜残りが生じないことにより、後工程において例えばエッチングストップ膜等の他の絶縁膜を第2の層間絶縁膜9上に形成した場合でも、第2の層間絶縁膜9と他の絶縁膜との密着性は悪くならないので、膜剥がれが生じなくなる。

【0037】図6は、この例の第2の研磨工程でバリア

12

膜12に加える圧力(横軸)とTa研磨レート(縦軸)との関係を示す図である。この例では、過酸化水素濃度を1.5Wt%に設定した特性を示している。図6から明らかなように、圧力の増加につれてTa研磨レートは大きくなる。但し、圧力が略10Psiを越えるとTa研磨レートが大きくなり過ぎて、Cu配線に傷をつけて膜厚を変化させることにより配線抵抗をばらつかせる等の弊害が生ずるので、上述したように第2の層間絶縁膜9上のバリア膜12に対して4Psi~10Psiの圧力(最適範囲)を加えた状態でCMPを行うことが望ましい。

【0038】また、図7は、この例の第2の研磨工程でバリア膜12に加える圧力(横軸)と面内ばらつき度合(縦軸)との関係を示す図である。この例では、過酸化水素濃度を1.5Wt%に設定した特性を示している。図7から明らかなように、圧力の増加につれて面内ばらつき度合いは低下するようになるので、面均一性は向上する。しかしながら、図6との関連で、圧力の範囲は上述したように4Psi~10Psiに設定される。

【0039】また、上述のように特定範囲の圧力をバリア膜12に加えてバリア膜12のCMPを行うことにより、研磨レートを大きくすることができるのに伴って、研磨液がCu膜の表面に接触する時間を短縮できるので、研磨液がビアプラグに集中することを防止できる。したがって、ビアプラグにおいてリセスが形成されにくくなるので、ビアチェーンオープン不良が発生しなくなる。

【0040】図8は、上述の第2の研磨工程に用いられる第2のCMP装置の一例の構成を概略的に示す断面図である。この第2のCMP装置30には、研磨定盤21の上方に、研磨すべき半導体基板1を保持して押圧するための第2の加圧ユニット35が設けられて、この第2の加圧ユニット35は、弾性変形の小さい弾性体として作用する金属板40が、フィルムキャリア41を介して半導体基板1を裏面から研磨定盤21の研磨パッド22に押圧するように構成されている。ここで、ノズル24から供給される研磨液38は、前述したように過酸化水素を0.09Wt%~1.5Wt%添加した研磨液が用いられる。また、第2の加圧ユニット35は圧力制御装置39により制御されることにより、半導体基板1上のバリア膜12に対して、前述したように4Psi~10Psiの圧力を加えるように構成されている。なお、図8において、図4の構成部分と対応する各部には、同一の番号を伏してその説明を省略する。

【0041】以上のような、第2の研磨工程により、図2(f)に示すように、ビアホール11内のみにはバリア膜12を介してCu膜14を残すことによりビアプラグ15を形成する。次に、第2の層間絶縁膜9上にバリア膜16を介してCu膜から成る上層配線17を形成することにより、図3に示したような多層配線構造を有する

10

20

30

40

50

半導体装置18を完成させる。

【0042】このように、この例の半導体装置の製造方法の構成によれば、下層配線7と上層配線17とを接続するビアプラグ15を第2の層間絶縁膜9に形成する場合、下層配線7を覆う第2の層間絶縁膜9にビアホール11を形成した後、全面にTa膜から成るバリア膜12及びCu膜14を順次に形成し、まず過酸化水素を1.5Wt%以上添加した研磨液を用いてCu膜14の不要部をCMP法により除去し（第1の研磨工程）、次に過酸化水素を0.09Wt%～1.5Wt%添加した研磨液を用い、バリア膜12に対して4Psi～10Psiの圧力を加える条件のCMP法によりバリア膜12の不要部を除去する（第2の研磨工程）ようにしたので、ビアプラグ15を容易に形成することができる。したがって、CMP法を利用して層間絶縁膜にバリア膜を通じて上層配線と下層配線とを接続するビアプラグを形成する場合、バリア膜の研磨レートを大きくすることによりスループットを向上させるとともに面均一性を改善し、さらにビアプラグのピアチェーンオープン不良の防止することができる。

【0043】◇第2実施例

この第2実施例の半導体装置の製造方法の構成が、上述した第1実施例の構成と大きく異なるところは、第1実施例における第2の研磨工程を過酸化水素を含まない研磨液を用いたCMP法に代えるようにした点である。この例では、第1実施例の図2(f)の工程における第2の研磨工程に代えて、過酸化水素を含まない研磨液を用いて、バリア膜12の研磨レートがCu膜14のそれよりも大きくなるCMP条件を満足するような第2の研磨工程を行うようにする。

【0044】図5に示したように、過酸化水素の濃度が0、すなわち過酸化水素を添加しない研磨液を用いても、第2の研磨工程で必要としている略5000オングストローム/分以上の研磨レートを上回る、略10000オングストローム/分のバリア膜12の研磨レートを得ることができる。したがって、この例では過酸化水素の濃度が0の研磨液を用いて第2の研磨工程を行う。この場合の、研磨液の構成成分は以下の通りである。

- クエン酸（有機酸）……0.01Wt%～1Wt%
- シリカ砥粒……1.0Wt%～10Wt%
- BTA（ベンゾトリアゾール：酸化防止剤）……0.01Wt%～1Wt%
- 水……残り

この第2の研磨工程以降は、第1実施例と略同様に行う。

【0045】このように、この例の構成によっても第1実施例と略同様の効果を得ることができる。

【0046】◇第3実施例

図9及び図10は、この発明の第3実施例である半導体装置の製造方法を工程順に示す工程図である。この例の

半導体装置の製造方法の構成が、上述した第1実施例の構成と大きく異なるところは、絶縁膜にビアプラグに代えて埋め込み配線を形成するようにした点である。以下、図9及び図10を参照してこの例の半導体装置の製造方法を工程順に説明する。まず、図9(a)に示すように、シリコン等の基板1を用いて、CVD法等により、全面にシリコン酸化膜等から成る膜厚が1.0～3.0μmの絶縁膜2を形成する。次に、周知のフォトリソグラフィ法を利用して、絶縁膜2に深さが0.2～2.5μm、幅が0.15～100μmのに配線用溝5を形成する。

【0047】次に、図9(b)に示すように、スパッタ法等により、配線用溝5を含めた全面に、例えば膜厚が10～80nmのTa膜から成るバリア膜6を形成する。次に、図9(c)に示すように、めっき法により、バリア金属膜6の全面に、膜厚が0.5～3.0μmのCu膜19を形成する。

【0048】次に、図10(d)に示すように、第1実施例における第1の研磨工程と略同じ条件で、配線用溝5の表面より上部に露出されているCu膜19をCMP法により研磨する。次に、図10(e)に示すように、第1実施例における第2の研磨工程と略同じ条件で、配線用溝5の表面より上部に露出されているバリア膜6をCMP法により研磨して、埋め込み配線13を形成する。

【0049】このように、この例の構成によっても第1実施例におけるビアプラグが埋め込み配線に代わっただけなので、第1実施例において述べたのと略同様の効果を得ることができる。

【0050】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあってもこの発明に含まれる。例えば、下層配線と上層配線とを接続するために用いるビアプラグを構成する導電膜材料としてはCu膜を用いる例で示したが、Cu膜に限らずCuとAlとの合金、CuとAg（銀）との合金、あるいはCuとAlとSiとの合金等の他のものを用いることができる。また、バリア膜としてはTa膜を用いる例で示したが、Ta膜に限らずTa-N膜（タンタル窒化膜）、あるいはTa膜とTa-N膜との積層体等の他のものを用いることができる。また、バリア膜としてはTa系金属に限らず、タングステンナイトライド(WN)、タングステンシリコンナイトライド(WSiN)、タンタルシリコンナイトライド(TaSiN)等のN系金属も同様に用いることができる。

【0051】また、第1及び第2の層間絶縁膜としてはシリコン酸化膜に限らずに、シリコン窒化膜、BSG(Boron-Silicate Glass)、PSG(Phospho-Silicate Glass)、BPSG(Boron-Phospho-Silicate Glass)等の他の絶縁膜を用いることができる。また、エッチングストッ

15

バ膜としてはシリコン窒化膜に限らず、SiC膜（シリコン炭化膜）、SiCN膜（シリコン炭化窒化膜）等の他の絶縁膜を用いることができる。また、CMP法を利用した第1及び第2の研磨工程に用いるCMP装置は、一例を示したものであり、他の構成のCMP装置を用いるようにしても良い。例えば、共通のCMP装置を用いて第1及び第2の研磨工程を行うようにしても良い。また、各絶縁膜、導電膜の膜厚、形成手段等の条件は一例を示したものであり、目的、用途等に応じて変更することができる。

【0052】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、下層配線と上層配線とを接続するビアプラグを層間絶縁膜に形成する場合、下層配線を覆う層間絶縁膜にビアホールを形成した後、全面にバリア膜及び導電膜を順次に形成し、まずバリア膜上の導電膜を導電膜の研磨レートがバリア膜のそれよりも大きい研磨液を用いた化学的機械的研磨法によりバリア膜が露出するまで研磨して除去し（第1の研磨工程）、次に導電膜の研磨レートがバリア膜のそれよりも小さい研磨液を用いた化学的機械的研磨法により層間絶縁膜上のバリア膜を除去して、ビアホール内のみにバリア膜を介して導電膜を残すことによりビアプラグを形成するようにしたので、ビアプラグを容易に形成することができる。したがって、CMP法を利用して層間絶縁膜にバリア膜を通じて上層配線と下層配線とを接続するビアプラグを形成する場合、バリア膜の研磨レートを大きくすることによりスループットを向上させるとともに面均一性を改善し、さらにビアプラグのビアチェーンオープン不良の防止することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の製造方法を工程順に示す工程図である。

【図2】同半導体装置の製造方法を工程順に示す工程図である。

【図3】同半導体装置の製造方法により製造された半導体装置を示す断面図である。

【図4】同半導体装置の製造方法に用いられる化学的機械研磨装置の概略構成を示す断面図である。

【図5】同半導体装置の製造方法に用いられる研磨液の過酸化水素濃度（横軸）とTa研磨レート（左縦軸）及びCu研磨レート（右縦軸）との関係を示す図である。

【図6】同半導体装置の製造方法においてバリア膜に加える圧力（横軸）とTa研磨レート（縦軸）との関係を示す図である。

【図7】同半導体装置の製造方法においてバリア膜に加える圧力（横軸）と面内ばらつき度合（縦軸）との関係を示す図である。

16

【図8】同半導体装置の製造方法に用いられる化学的機械研磨装置の概略構成を示す断面図である。

【図9】この発明の第3実施例である半導体装置の製造方法を工程順に示す工程図である。

【図10】同半導体装置の製造方法を工程順に示す工程図である。

【図11】従来の半導体装置の構成を示す断面図である。

【図12】同半導体装置の製造方法を工程順に示す工程図である。

【図13】同半導体装置の製造方法を工程順に示す工程図である。

【図14】従来の半導体装置の欠点を説明する図である。

【図15】図14のA-A矢視断面図である。

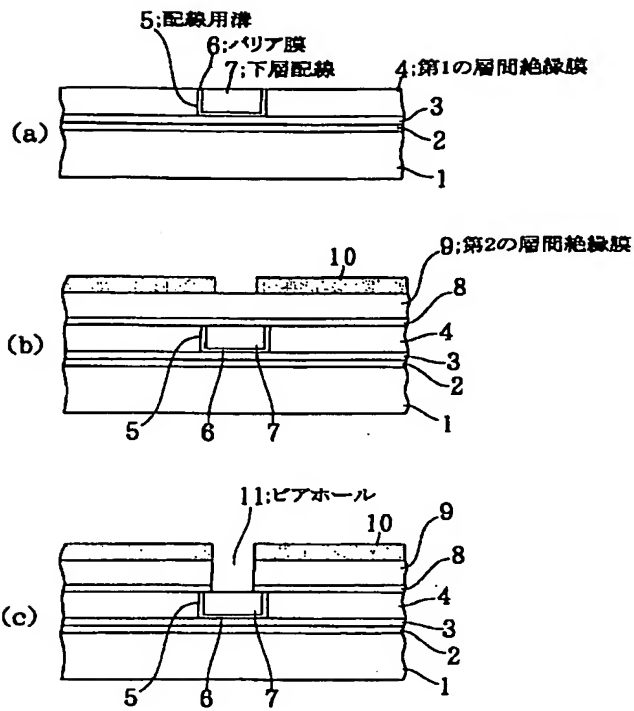
【図16】従来の半導体装置の欠点を説明する図である。

【図17】従来の半導体装置の欠点を説明する図である。

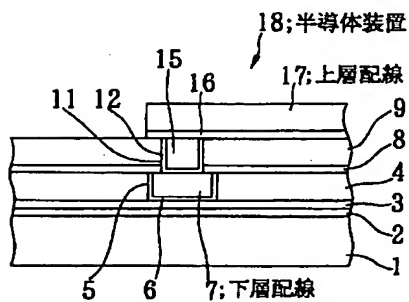
【符号の説明】

- | | |
|---------|--------------------|
| 1 | 半導体基板 |
| 2 | 絶縁膜 |
| 3、8 | エッチングストッパ膜 |
| 4、9 | 層間絶縁膜 |
| 5 | 配線用溝 |
| 6、12、16 | バリア膜（Ta膜） |
| 7 | 下層配線（Cu膜） |
| 10 | フォトレジスト膜 |
| 11 | ビアホール |
| 14 | Cu膜（ビアプラグ用） |
| 13 | 埋め込み配線 |
| 15 | ビアプラグ |
| 17 | 上層配線（Cu膜） |
| 18 | 半導体装置 |
| 19 | Cu膜（埋め込み配線用） |
| 20、30 | CMP装置 |
| 21 | 研磨定盤 |
| 22 | 研磨パッド |
| 23、29 | 回転軸 |
| 24 | ノズル |
| 25、35 | 加圧ユニット |
| 26 | 金属ヘッド |
| 27 | リテーナ |
| 28 | エアバッグ（弾性変形の大きい弾性体） |
| 38 | 研磨液 |
| 39 | 圧力制御装置 |
| 40 | 金属板（弾性変形の小さい弾性体） |
| 41 | フィルムキャリア |

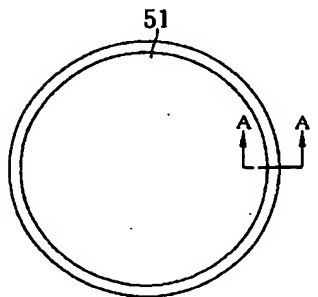
【図1】



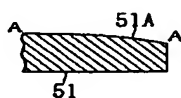
【図3】



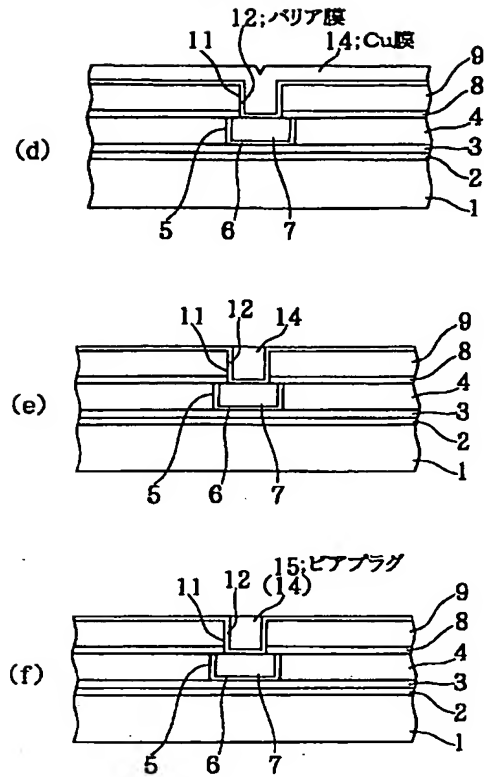
【図14】



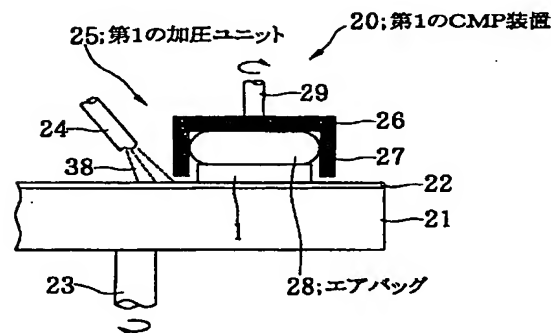
【図15】



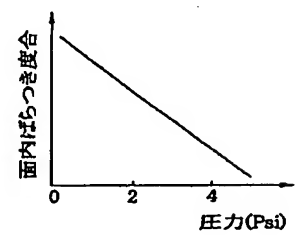
【図2】



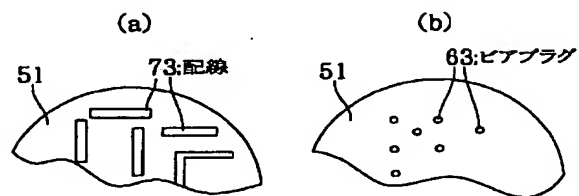
【図4】



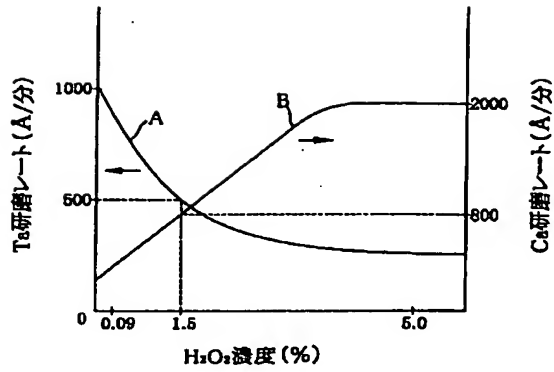
【図7】



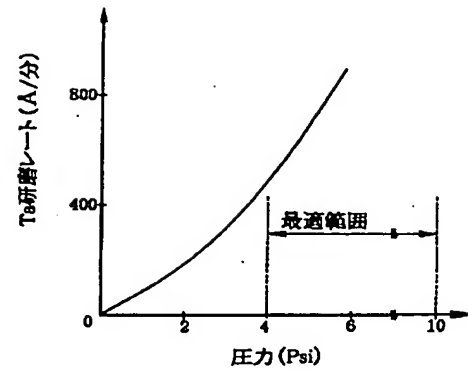
【図16】



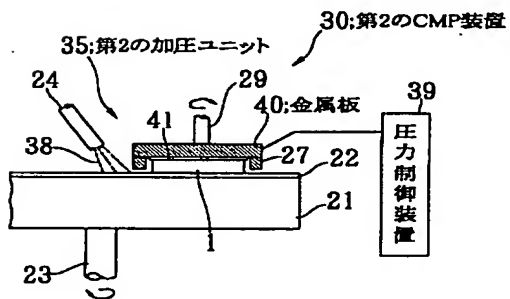
【図5】



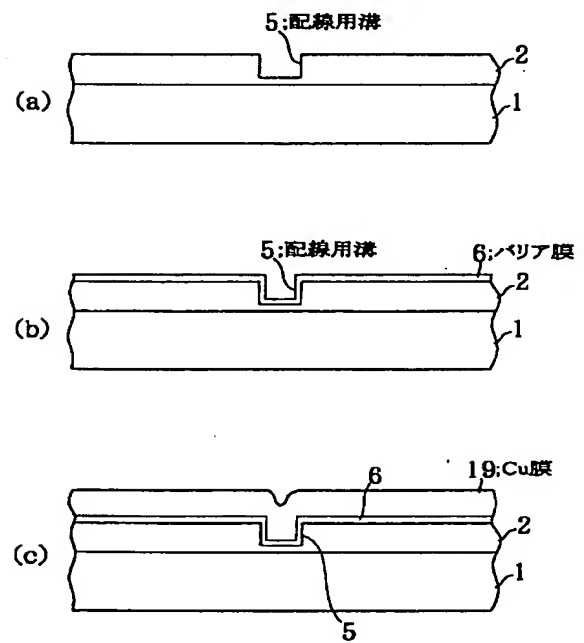
【図6】



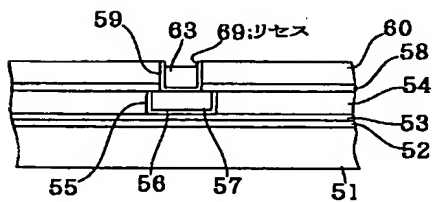
【図8】



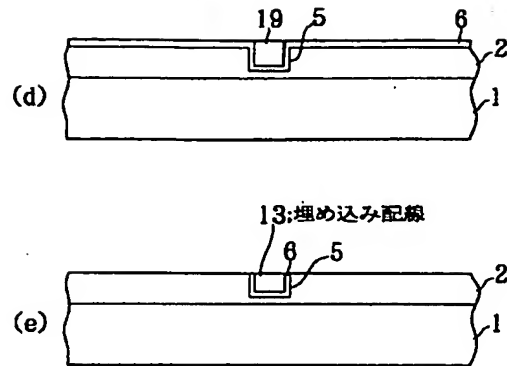
【図9】



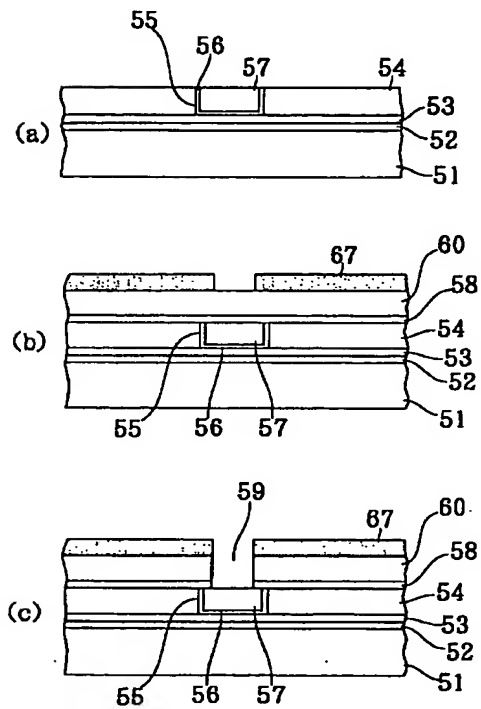
【図17】



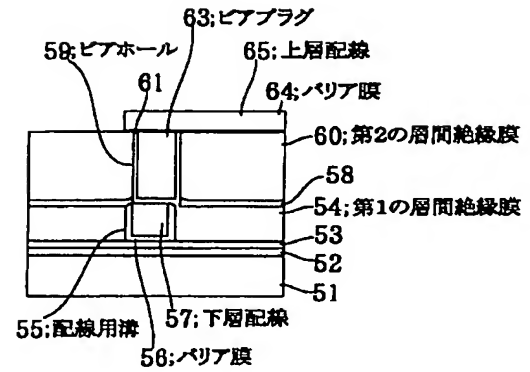
【図10】



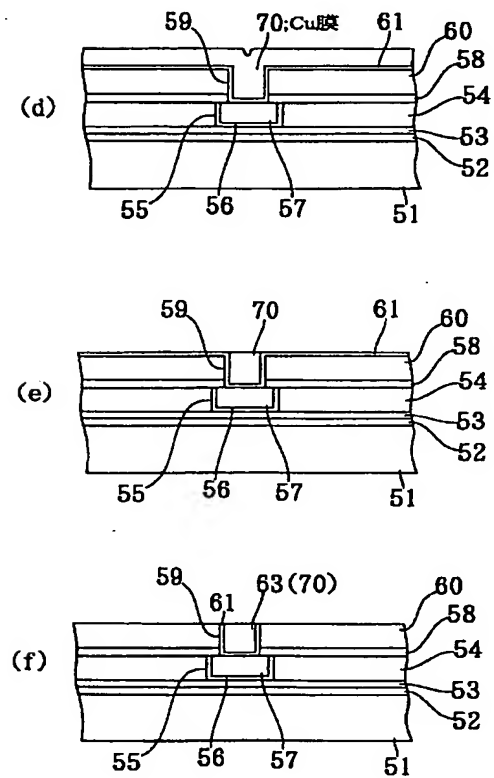
【図12】



【図11】



【図13】



フロントページの続き

Fターム(参考) 5F033 HH11 JJ11 JJ12 JJ21 JJ28
JJ30 JJ32 JJ34 KK11 KK21
MM01 MM12 MM13 NN06 NN07
PP15 PP27 QQ09 QQ11 QQ21
QQ25 QQ37 QQ48 QQ50 QQ73
RR04 RR06 RR13 RR14 RR15
SS11 TT02 WW04 WW05 XX01